

ATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278504
(43)Date of publication of application : 27.09.2002

(51)Int.Cl. G09G 3/20
G09G 3/30
H01L 31/0248
H01L 31/12
H05B 33/08
H05B 33/14

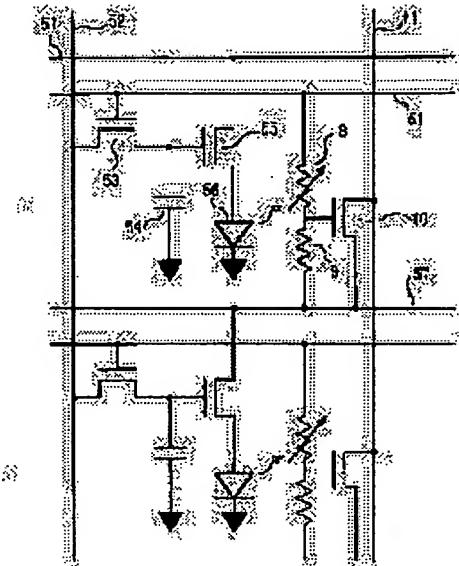
(21)Application number : 2001-077816 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 19.03.2001 (72)Inventor : INOUE MITSUO
OKABE MASASHI
IWATA SHUJI
YAMAMOTO TAKU

(54) SELF-LUMINOUS DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce variations in the luminance of pixels.

SOLUTION: This luminous display device is provided with a plurality of light-emitting elements arranged in a matrix form and photodetecting elements receiving respectively light emission from light-emitting elements and has a constitution, in which the emitted light quantity of each light-emitting element is controlled with the photodetecting element.



【特許請求の範囲】

【請求項 1】 マトリクス状に配列された複数の発光素子と、各発光素子に対して少なくとも一つ設けられ、発光素子からの発光を受光するように形成された光検知素子とを備え、光検知素子の信号により発光素子の発光量を制御することを特徴とする自発光型表示装置。

【請求項 2】 複数の第 1 の垂直走査線と、第 1 の垂直走査線と前記第 1 の水平走査線との交点近傍に備えられ、第 1 の垂直走査線に制御される第 1 のトランジスタと、第 1 のトランジスタを介して第 1 の水平走査線に接続されるキャバシタと、第 1 のトランジスタを介して第 1 の水平走査線に接続され、第 1 の水平走査線に制御される第 2 のトランジスタと、第 2 のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第 1 の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点の電位に制御される第 3 のトランジスタと、第 3 のトランジスタを介して電源線が第 2 の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成された請求項 1 記載の自発光型表示装置。

【請求項 3】 複数の第 1 の垂直走査線と、第 1 の垂直走査線と第 1 の水平走査線との交点近傍に備えられ、第 1 の垂直走査線に制御される第 1 のトランジスタと、第 1 のトランジスタを介して第 1 の水平走査線に接続されるキャバシタと、第 1 のトランジスタを介して第 1 の水平走査線に接続され、第 1 の水平走査線に制御される第 2 のトランジスタと、第 2 のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第 1 の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点の電位に制御される第 3 のトランジスタと、第 3 のトランジスタを介して前記電源線が第 2 の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成され、光検知素子の信号を前記第 2 の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリを備え、メモリのデータに基づき発光素子に与える信号電圧を変調して前記第 1 の水平走査線に印加する手段を備えたことを特徴とする請求項 2 記載の自発光型表示装置。

【請求項 4】 複数の第 1 の垂直走査線と、第 1 の垂直走査線と第 1 の水平走査線との交点近傍に備えられ、第 1 の垂直走査線に制御される第 1 のトランジスタと、第 1 のトランジスタを介して第 1 の水平走査線に接続されるキャバシタと、第 1 のトランジスタを介して第 1 の水平走査線に接続され、第 1 の水平走査線に制御される第 2 のトランジスタと、第 2 のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第 1 の垂直走査線で制御される第 4 のトランジスタと、第 1 の垂直走査線と電源線との間に光検知素子とキャバシタが直列に接続され、光検知素子とキャバシタとの接続点が前記第 4 のトランジスタを介して第 2 の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成され、光検知素子の信号を第 2 の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリを備え、メモリのデータに基づき発光素子に与える信号電圧を変調して第 1 の水平走査線に印加する手段を備えたことを特徴とする請求項 3 記載の自発光型表示装置。

【請求項 5】 複数の第 1 の垂直走査線と、第 1 の垂直走査線と第 1 の水平走査線との交点近傍に備えられ、第 1 の垂直走査線に制御される第 1 のトランジスタと、第 1 のトランジスタを介して第 1 の水平走査線に接続されるキャバシタと、第 1 のトランジスタを介して第 1 の水平走査線に接続され、第 1 の水平走査線に制御される第 2 のトランジスタと、第 2 のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第 1 の垂直走査線で制御される第 4 のトランジスタと、第 1 の垂直走査線と電源線との間に光検知素子とキャバシタが直列に接続され、光検知素子とキャバシタとの接続点が第 4 のトランジスタを介して第 2 の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成され、光検知素子の信号を第 2 の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリを備え、メモリのデータに基づき発光素子に与える信号電圧を変調して第 1 の水平走査線に印加する手段を備えたことを特徴とする請求項 4 記載の自発光型表示装置。

【請求項 6】 光検知素子体が、アモルファスシリコンで構成された事を特徴とする請求項 1～5 のいずれかに記載の自発光型表示装置。

【請求項 7】 光検知素子体と抗体が、いずれもアモルファスシリコンで構成され、抗体を構成するアモルファスシリコンと発光素子との間に遮光膜を形成したことを特徴とする請求項 2 又は 3 のいずれかに記載の自発光型表示装置。

【請求項 8】 発光素子として有機 E L 素子を用いたことを特徴とする請求項 1～7 のいずれかに記載の自発光型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、発光素子マトリクスを搭載した自発光型表示装置に関し、特に表示の輝度パラツキ抑制を目的としたものである。

【0002】

【従来の技術】表示パネルに有機 E L を用いた有機 E L パネルが実用レベルに達してきた。有機 E L パネルは自発光、高速応答、広視野角など液晶パネルに持ち合わせていない優れた特徴を有しているため、文字図形画像や動画像表示が鮮明にできるフラットパネルとして期待が大きい。有機 E L パネルは駆動方法により、パッシブマトリクス型(PM型)とアクティブマトリクス型(AM型)に分類することができる。

【0003】 PM型は有機 E L パネルの外部に駆動回路を設けるため、有機 E L パネル自体の構造が簡単となり低コストが実現できると言われている。現在、有機 E L

パネルが製品化されているのは、このPM型であり車載用や携帯電話用に用いられている。有機ELは電流駆動素子であるので、有機ELパネルの輝度ばらつきをなくすためには、各発光画素に流れる電流を同じ大きさにする必要がある。しかし、次の(1)から(3)に示す問題により同一電流にすることと低消費電力にすることが困難である。

(1) 全画素の輝度を均一化するには、各画素に流れる電流を同一にしなければならない。そのためには各画素の陽極か陰極かのどちらか一方を定電流源にする。しかし、定電流源として動作させるためには、バスラインの抵抗成分による電圧降下分の影響がないように、他方側のマトリクス電極の駆動電圧を高くする必要がある。これは消費電力を大きくする要因となる。駆動電圧が十分に高くできない場合、各画素までのバスライン長の長さに対応した電圧降下分が発光のための電流量に影響を与える。すなわち定電流源にならず輝度ばらつきの原因をつくる。

(2) PM型は所定の面輝度を得るために、表示パネルの走査線の数をN本とすると瞬間輝度はN倍で発光させる必要がある。通常、画素に流れる電流と発光輝度は比例するので流すべき電流はN倍となる。ところが有機ELは流す電流が大きくなれば発光効率が低下する性質を持っているので、所定の面輝度を得るにはN倍以上の画素電流が必要である。このように走査線の数Nが多くなるほど消費電力も大きくなる。この問題は上記(1)の問題をますます助長する。

(3) 有機ELは面構造になっているので、各画素には等価回路から見れば並列に容量性負荷が接続される。画素電流が大きくなったり、画素数が多くなって繰り返し周波数が高くなると、この容量性負荷への充放電電流が大きくなり消費電力がおおきくなる。上記(2)の問題もあってPM型では、容量性負荷による消費電力が格段に増加する。以上の問題により、現状で製品化されているPM型のものは、画面サイズが数インチ以下、画素数が1万画素レベルぐらいまでである。

【0004】AM型の有機ELパネルは、上記の問題が改善できる。上記(1)の問題は、AM型は各画素にTFT駆動回路を設けるので、瞬間に大電流を流す必要がなく、その結果、上記(1)のバスラインによる電圧低下分が小さくなり、印加電圧も小さくてよいので消費電力がPM型に比べて大幅に低減できる。印加電圧が小さくて良いことは少し高めの印加電圧に設定するだけで、各画素までのバスライン長の長さに対応した電圧降下分が画素電流量に影響を与えることが無くなるので、均一な輝度を得ることができる。上記(2)の問題は、AM型は各画素にTFT駆動回路を設けるので、走査線の数Nによらず、いつも小さな画素電流を流しておけばよいので、画素電流が大きくなることによる発光効率の低下に起因する消費電力の増大はない。上記(3)の問

題は、AM各画素にTFT駆動回路を設けるので、走査線の数Nによらず、小さな画素電流を流しておけばよいので、容量性負荷への充放電電流が小さくて良く、この影響による消費電力は小さい。このようにAM型の有機ELは、輝度ばらつきや消費電力を低減できる。

【0005】ところが、AM型には次の大きな欠点がある。すなわち、有機ELパネル全域にわたって、特性のそろった駆動素子を作ることが困難である。その結果、各画素に流れる電流値が異なり輝度のばらつきとなって表れる。

【0006】図5は、従来のAM型有機ELディスプレイにおける画素を発光させるための駆動回路を示す回路図であり、この駆動回路は例えば特許2784615号公報に記載されている。図5を用いてこの駆動回路の動作を説明する。第1のトランジスタ53は、例えばNチャンネルタイプで構成するFETでありスイッチング素子として動作する。第2のトランジスタ55は例えばPチャンネルで構成するFETであり駆動素子として動作する。キャパシタ54は第1のトランジスタ53のドレン端子に接続されている容量性負荷である。第2のトランジスタ54のドレン端子には発光素子56にあたる有機EL素子が接続されている。第1のトランジスタ53のドレン端子は第2のトランジスタ55のゲート端子に接続される。第1のトランジスタ53のゲート端子には第1の垂直走査線51から走査信号が印加される。ソース端子には第1の水平走査線52から画像信号が印加される。57は電源線である。

【0007】次に発光モードについて説明する。まず、第1のトランジスタ53のゲート端子には走査線信号が印加される。この時に第1のトランジスタ53のソース端子に画像信号が所定の電圧で印加されると、第1のトランジスタ53のドレン端子に接続されたキャパシタ54には画像信号の大きさに対応した電圧レベルがV1で保持される。

第2のトランジスタ55のゲート電圧に保持される電圧レベルV1の大きさがドレン電流を流すのに十分な大きさであれば、電圧レベルV1の大きさに対応した電流が第2のトランジスタ55のドレンに流れる。このドレン電流が発光素子56の発光電流となる。輝度は発光電流の大きさに比例する。図6は、このような動作で発光する場合の輝度ばらつきの発生について説明するための特性図である。この特性図は第2のトランジスタ55のゲート・ソース間電圧とドレン電流の関係を示したものである。第1のトランジスタ53や第2のトランジスタ55が低温ポリシリコンで構成される場合、低温ポリシリコンの製法上の関係から、表示パネル全域にわたり同一特性のFETが得られない。例えば、第1のトランジスタ53や第2のトランジスタ55は図6に示すような特性のばらつきをもつ。このような特性をもつ第2のトランジスタ55に電圧レベルV1が印加されると、ドレン電流の大きさはIaからIb

の幅でばらつく。有機ELは電流の大きさに比例した輝度で発光するので、第2のトランジスタ55における特性のばらつきが発光輝度のばらつきとなって表れる。特に、図6に示すような特性ばらつきは、アナログ量で輝度変調する方式、すなわち電圧レベルV1の大きさで発光輝度を制御する方式では輝度ばらつきの発生を防止することができない。

【0008】そこで、第2のトランジスタ55のゲート・ソース間電圧とドレイン電流の関係を示した図7において、電圧レベルV1が常に一定の値となるレベルで輝度制御するデジタル輝度制御方式では、電流が飽和したレベルを用いるので、アナログ輝度制御方式で発生した輝度ばらつきが防止できる。ところが、図8に同様に示す第2のトランジスタ55のゲート・ソース間電圧とドレイン電流の関係を持つ特性のものでは、飽和電流が同一でないので、デジタル輝度制御方式においても、輝度ばらつきが発生する。図9は、駆動素子の特性ばらつきを改善するその他の従来例である「Active Matrix OELD Displays with Po-Si TFT. The 10th International Workshop on Inorganic & OEL. p 347～p 356」に記載された駆動回路を示す回路図である。この従来例では、駆動素子としての第2のトランジスタ55A、55Bを並列に接続することにより上記特性のばらつきを平均化している。

【0009】

【発明が解決しようとする課題】従来の自発光型表示装置は、以上のように構成されているので駆動素子であるトランジスタの閾値電圧がばらついた場合には、発光素子への印加電圧がばらつくことになり、同一階調の表示を行った場合に各画素で輝度がばらつくといった問題点があった。

【0010】一方、上記のような輝度バラツキを抑制する目的で、トランジスタの閾値電圧バラツキをキャンセルするため、一つの画素内に4つのトランジスタを用いた自発光型表示装置が考案されている。しかしながら、この方式でもトランジスタの閾値バラツキは抑制できるものの、発光素子自体の特性バラツキは抑制することができず、同一階調の表示を行った場合に各画素で輝度がばらつくといった問題点があった。

【0011】

【課題を解決するための手段】この発明の第1の構成にかかるものは、マトリクス状に配列された複数の発光素子と、各々の発光素子に対して少なくとも一つ設けられ、発光素子からの発光を受光するように形成された光検知素子とを備え、光検知素子の信号により発光素子の発光量を制御するものである。

【0012】この発明の第2の構成にかかるものは、複数の第1の垂直走査線と、第1の垂直走査線の各々に交わるように配設された複数の第1の水平走査線と複数の

電源線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第1の垂直走査線と電源線との間に光検知素子と抵抗が直列に接続され、光検知素子と抵抗との接続点の電位に制御される第3のトランジスタと、第3のトランジスタを介して電源線が第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するようにしたものである。

【0013】この発明の第3の構成にかかるものは、第2の構成による自発光型表示装置であって、受光素子の信号を第2の水平走査線を介して読み出すための制御回路と、発光素子毎の信号をデータとして格納するためのメモリを備え、メモリのデータに基づき発光素子に与える信号電圧を変調して第1の水平走査線に印加する手段を備えたものである。

【0014】この発明の第4の構成にかかるものは、複数の第1の垂直走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第1の垂直走査線で制御される第4のトランジスタと、第1の垂直走査線と電源線との間に光検知素子とキャパシタが直列に接続され、光検知素子とキャパシタとの接続点が第4のトランジスタを介して第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成したものである。

【0015】この発明の第5の構成にかかるものは、複数の第1の垂直走査線と、第1の垂直走査線と第1の水平走査線との交点近傍に備えられ、第1の垂直走査線に制御される第1のトランジスタと、第1のトランジスタを介して第1の水平走査線に接続されるキャパシタと、第1のトランジスタを介して第1の水平走査線に接続され、第1の水平走査線に制御される第2のトランジスタと、第2のトランジスタを介して、電源線に接続される発光素子からなる表示装置において、第1の垂直走査線で制御される第4のトランジスタと、第1の垂直走査線と電源線との間に光検知素子とキャパシタが直列に接続され、光検知素子とキャパシタとの接続点が第4のトランジスタを介して第2の水平走査線に接続され、光検知素子が発光素子からの光を受光するように構成され、光検知素子の信号を前記第2の水平走査線を介して読み出

そのための制御回路と、発光素子毎の信号をデータとして格納するためのメモリを備え、メモリのデータに基づき発光素子に与える信号電圧を変調して前記第1の水平走査線に印加する手段を備えたものである。

【0016】この発明の第6の構成にかかるものは、第1から第5の構成において、光検知素子体が、アモルファスシリコンで構成されたものである。

【0017】この発明の第7の構成にかかるものは、第2から第3の構成において、光検知素子体と抵抗体が、いずれもアモルファスシリコンで構成され、抵抗体を構成するアモルファスシリコンと発光素子との間に遮光膜を形成したものである。

【0018】この発明の第8の構成にかかるものは、第1から第7の構成において、発光素子として有機EL素子を用いたものである。

【0019】

【発明の実施の形態】以下、この発明の実施の形態を図に従って説明する。なお、図中、同一符号は同一または相当部分を示す。

実施の形態1. 図1は、本発明の実施の形態1による自発光型表示装置の一つの画素を示す回路図である。図において、51は第1の垂直走査線、52は第1の水平走査線、53は第1のトランジスタ、54はキャパシタ、55は第2のトランジスタ、56は発光素子であり、有機EL素子からなる。57は電源線である。また、8は光検知素子、9は抵抗であり、この光検知素子8と抵抗9は、第1の垂直走査線51と次段の第1の垂直走査線57との間ににおいて、互いに直列に接続されている。10は光検知素子8と抵抗9との接続点にゲートが接続された第3のトランジスタ、11は第2の水平走査線であり、この第2の水平走査線11には第3のトランジスタ10のドレインが接続されている。なお、図の下半分の構成は、次段の構成であり、上半分と同一の構成であるので説明は省略する。

【0020】次に動作について説明する。第1の垂直走査線51が活性化されると第1のトランジスタ53は導通状態となり、第1の水平走査線52の電圧が第1のトランジスタを介してキャパシタ54に充電される。同時にキャパシタ54に充電された電圧は第2のトランジスタ55のゲートに接続されているので第2のトランジスタ55は導通状態になり、電源線57から発光素子56に電流を供給し、発光素子56は光を発するが、第2のトランジスタ55のゲートに印加される電圧によって発光量が制御されるとともに、キャパシタ54によりその電圧は維持され発光素子56は第1の垂直走査線51が非活性化され、第1のトランジスタ53は非導通状態になった後も発光し続けることは既に述べた。

【0021】ところで、発光素子56に流れる電流は第2のトランジスタ55のゲートに印加される電圧により制御されるが、その電流値Idと第2のトランジスタ

55のゲートに印加される電圧値Vgは1式の関係がある。

$$I_d = k \times V_d \times (V_g - V_{th}) \dots 1$$

ここでVdはトランジスタのソースードレイン間に印加される電圧、Vthはトランジスタの閾値電圧、kは第2のトランジスタ55のチャネル長、チャネル幅やキャリア移動度で決まる定数である。すなわち、第2のトランジスタ55の電流値Idは、第2のトランジスタ55のゲート電圧Vgからトランジスタの閾値電圧Vthの差により決定されるが、Vthにはトランジスタ毎にバラツキが大きいため、同一のVgを印加したとしても同一の輝度をえることはできないことも既に述べた。

【0022】本実施の形態1では、発光素子56の光を光検知素子8により検知できるように構成されている。第1の垂直走査線51が活性化されると、光検知素子8および抵抗9には電源線57と第1の垂直走査線51との間の電圧が印加される。同時に第1の水平走査線52にはデータに対応した電圧が印加され、発光素子56が発光するが、この発光により光検知素子8の抵抗値が急激に低下し、光検知素子8と抵抗9の接続点の電圧は第1の垂直走査線51の電圧に近づく。この接続点は第3のトランジスタ10のゲートに接続されているため、この電圧により第3のトランジスタ10は導通し、第2の水平走査線11は第3のトランジスタ10を介して電源線7と接続され、第2の水平走査線11の電位は電源線57の電位と概ね同一となる。このため第2の水平走査線11の電位を観測することにより、活性化された第1の垂直走査線51に対応する発光素子56が発光したことを検知することができる。すなわち、第1の水平走査線52のデータを順次変化させていくことにより、発光素子56が発光を始めるデータの電圧が判明する。

【0023】図2に本実施の形態1にかかる自発光型表示装置の制御回路を示す。21は第1の垂直走査線51を制御する垂直走査回路、22は第1の水平走査線52を制御する第1の水平走査回路、23は第2の水平走査線11を制御する第2の水平走査回路、24は発光素子56および光検知素子8を含む多数の画素がマトリクス状に形成された表示部分、25は光検知素子8で検知された時点における第1の水平走査線52の電圧を記憶するメモリ、26は第1の水平走査線52に印加する電圧をメモリ25のデータに基づき変換するための電圧変換回路である。具体的には、メモリ25に記憶された各画素が発光し始める電圧を、画素を光らせようとする輝度に対応した電圧に加えるものである。

【0024】図3に本実施の形態1にかかる画素部の断面図を示す。図において、40は透明絶縁基板、41は遮光膜、42はホール注入層、43は電子注入層である。

【0025】透明絶縁基板40上に第1のトランジスタ53、第2のトランジスタ55、第3のトランジスタ1

0およびキャパシタ54が形成されている。層間絶縁膜を形成し、その上にアモルファスシリコン層を形成し、電極を設けることにより、光検知素子8および抵抗9を形成するが、抵抗9の上にのみ遮光膜41を配することにより、同一のアモルファスシリコンにより光検知素子8と抵抗9を作り分けることができる。さらに層間絶縁膜を介してホール注入層42、発光素子56、電子注入層43を積層することにより、発光素子56と光検知素子8を一対とした自発光型表示装置を実現することができる。

【0026】実施の形態1による自発光型表示装置は以上のように構成されているので、あらかじめ各画素が光り始める電圧を光検知素子8によって検知し、その電圧をメモリ25に記憶させておくことができ、また各画素に要求される輝度を正確に表示させるため輝度に対応した電圧に発光素子56が光り始める閾値電圧を加えることができるので、第2のトランジスタ55の閾値バラツキに左右されず所望の輝度で表示させることができる。

【0027】実施の形態2、図4は、実施の形態2を示す自発光型表示装置における一つの画素の駆動回路を示す回路図である。図において、51は第1の垂直走査線、52は第1の水平走査線、53は第1のトランジスタ、54はキャパシタ、55は第2のトランジスタ、56は発光素子、57は電源線である。また、8は光検知素子、11は第2の水平走査線、30は第4のトランジスタ、31は第2のキャパシタである。本実施の形態では、光検知素子8の一方の端子は、電源線57に接続されており、他方の端子は第2のキャパシタ31を介して第1の垂直走査線51に接続される。第4のトランジスタ30のゲート端子は第1の垂直走査線51に接続されて第1の垂直走査線51で制御されるとともに、ソース端子は光検知素子8と第2のキャパシタとの接続点に接続されており、導通時には光検知素子8と第2のキャパシタにおける接続点の電位を第2の水平走査線11に与えるように構成されている。第4のトランジスタ30のドレイン端子は第2の水平走査線に接続されている。

【0028】次に動作について説明する。実施の形態2においては、上記のように電気回路が構成されているので、第1の垂直走査線51が活性化されたときには、第1のトランジスタ53、および第4のトランジスタ30は共に導通状態となる。第1の水平走査線52からデータがキャパシタ54に書き込まれる。そのデータの電圧値が第2のトランジスタ55を導通できる電圧、すなわち第2のトランジスタ55の閾値電圧に達しない時は、発光素子56は光を発しないので、光検知素子8は高抵抗のまま維持され、光検知素子8と第2のキャパシタの接続点における電位は電源線57の電位から第1の垂直走査線51の活性化電圧分だけ引き込まれた電圧が第4のトランジスタ30を介して第2の水平走査線11に供給される。一方、第1の水平走査線52から供給される

データの電圧が第2のトランジスタ55を導通できる電圧に達した時は、発光素子56に電流が供給され、発光素子56は光を発することになる。この光を光検知素子8が検知すると光検知素子8の抵抗値が低下し、概ね電源線57の電位が第4のトランジスタ30を介して第2の水平走査線11に供給される。

【0029】このように、第1の水平走査線52に与えられるデータの電圧により、第2のトランジスタ55の閾値電圧が検知できることになり、実施の形態1の場合

10 と同様に、その電圧をメモリ25に記憶させておくことができ、また各画素に要求される輝度を正確に表示させるため輝度に対応した電圧に発光素子56が光り始める閾値電圧を加えることができるので、第2のトランジスタ55の閾値バラツキに左右されず所望の輝度で表示させることができる。以上の説明では、自発光型の表示素子として有機EL素子を用いたが、表示素子としてはこれに限るものではない。

【0030】

【発明の効果】本発明の第1の構成によれば、発光素子からの発光を受光するように形成された光検知素子の電圧により、発光素子の発光量を制御するようにしたので、トランジスタの閾値電圧を補正して輝度バラツキを抑制することができる。

【0031】本発明の第2の構成によれば、第1の構成において、光検知素子と抵抗とを直列に接続し、その接続点の電位によりトランジスタの閾値電圧を検知するようにしたので、簡単な回路でトランジスタの閾値電圧バラツキを検出することができる。

30 【0032】本発明の第3の構成によれば、第2の構成において、光検知素子の信号を読み出すための制御回路と発光素子毎の信号をデータとして格納するためのメモリを備えたので、メモリのデータに基づき発光素子に与える信号電圧を変調することができ、輝度バラツキを抑制することができる。

【0033】本発明の第4の構成によれば、第1の構成において、光検知素子とキャパシタを直列に接続し、その接続点の電位を垂直走査線で制御されたトランジスタにより読み出し、トランジスタの閾値電圧を検知するようにしたので、直流電流を抑制することができ、消費電力を抑制しながらトランジスタの閾値電圧バラツキを検出することができる。

【0034】本発明の第5の構成によれば、第4の構成において、光検知素子とキャパシタを直列に接続し、その接続点の電位を垂直走査線で制御されたトランジスタにより読み出すとともに、光検知素子の信号を読み出すための制御回路と発光素子毎の信号をデータとして格納するためのメモリを備えたので、メモリのデータに基づき発光素子に与える信号電圧を変調することができ、消費電力を抑えながら輝度バラツキを抑制することができる。

【0035】本発明の第6の構成によれば、第1～第5のいずれかの構成において、光検知素子体をアモルファスシリコンで構成したので、簡単なプロセスで光検知素子を形成することができ、輝度バラツキの少ない自発光型表示装置を低成本で実現することができる。

【0036】本発明の第7の構成によれば、第2又は第3の構成において、光検知素子体と抵抗体をいずれもアモルファスシリコンで構成し、抵抗体の上のみに遮光膜を形成したので、輝度バラツキの少ない自発光型表示装置を低成本で実現することができる。

【0037】本発明の第8の構成によれば、第1～第7のいずれかの構成において、発光素子として有機EL素子を用いたので、低電圧で輝度の高い自発光型表示装置が実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における駆動回路の構成を示す回路図である。

【図2】 本発明の実施の形態1における自発光型表示装置の制御回路の概略構成を示す概念図である。

【図3】 本発明の実施の形態1における回路構成を示す断面図である。

【図4】 本発明の実施の形態2における駆動回路の構成を示す回路図である。

【図5】 従来の自発光型表示装置の構成を示す回路図である。

【図6】 従来の自発光型表示装置の動作を説明するための特性図である。

【図7】 従来の自発光型表示装置の動作を説明するための特性図である。

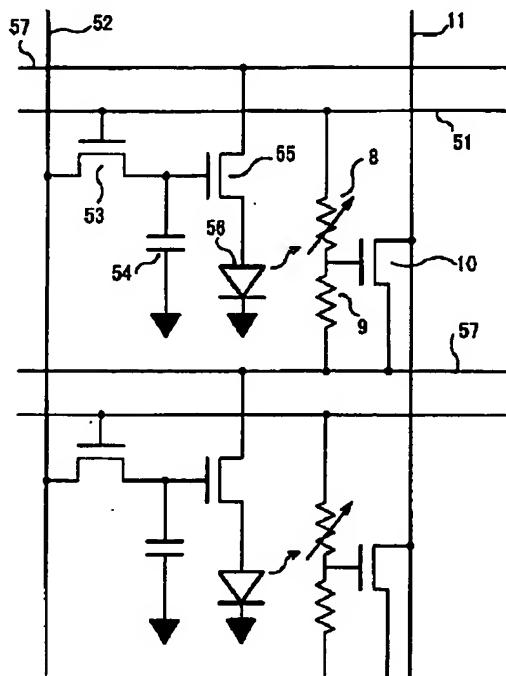
【図8】 従来の自発光型表示装置の動作を説明するための特性図である。

【図9】 従来の他の自発光型表示装置を示す回路図である。

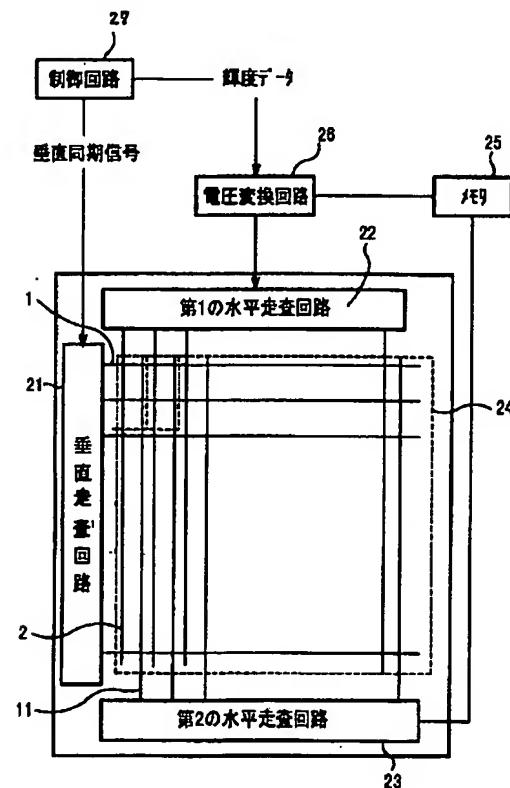
【符号の説明】

8 光検知素子、 9 抵抗、 10 第3のトランジスタ、 11 第2の水平走査線、 51 第1の垂直走査線、 52 第1の水平走査線、 53 第1のトランジスタ、 54 キャパシタ、 55 第2のトランジスタ、 56 EL素子、 57 電源線、 30 第4のトランジスタ、 31 第2のキャパシタ。

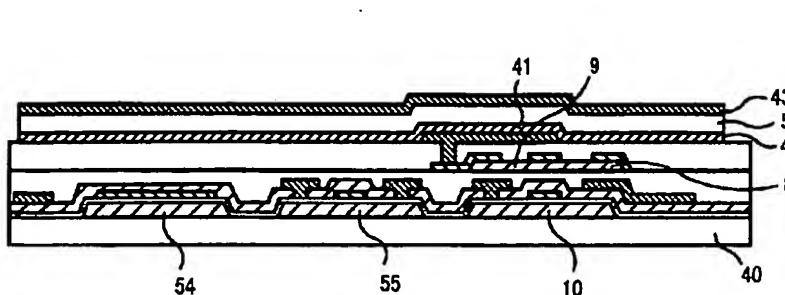
【図1】



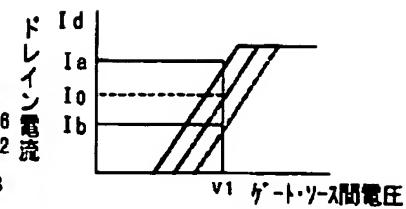
【図2】



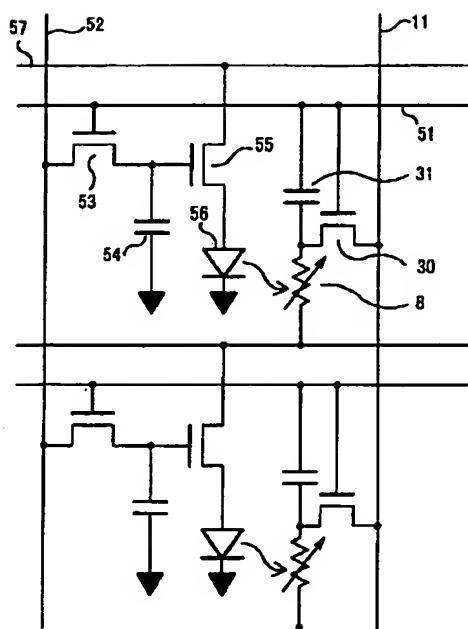
【図3】



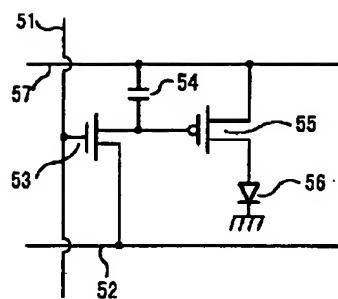
【図6】



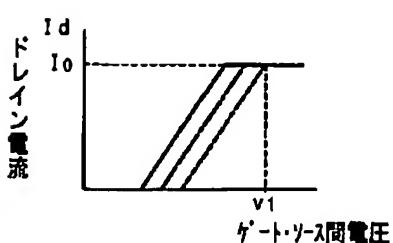
【図4】



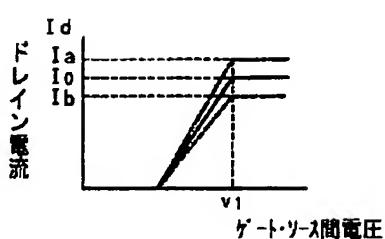
【図5】



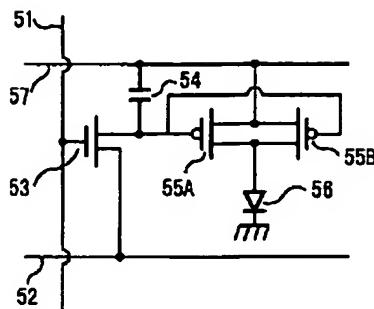
【図7】



【図8】



[図9]



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	マーク (参考)
H 0 1 L 31/0248		H 0 1 L 31/12	H
	31/12	H 0 5 B 33/08	
H 0 5 B 33/08		33/14	A
	33/14	H 0 1 L 31/08	H
(72) 発明者 岩田 修司	東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内	F ターム (参考) 3K007 AB02 DA01 GA04 5C080 AA06 BB05 DD05 FF11 FF12 JJ02 JJ03 JJ05 JJ06	
(72) 発明者 山本 卓	東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内	5F088 AA11 AB05 BA10 BB03 DA05 EA04 GA02 HA10 5F089 AB08 AC01 CA16 FA03	